

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-134702

(43)Date of publication of application : 10.05.2002

(51)Int.Cl.

H01L 27/08
H01L 21/761
H01L 27/04
H01L 21/822

(21)Application number : 2000-329641

(71)Applicant : ASAHI KASEI MICROSYSTEMS KK

(22)Date of filing : 27.10.2000

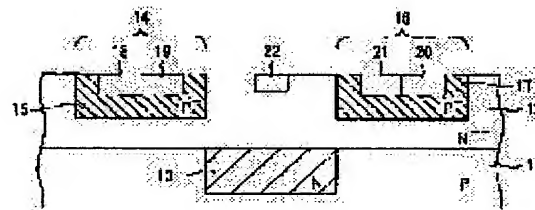
(72)Inventor : KOBAYASHI TAKAAKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device or the like wherein the noise from a digital circuit is restrained from propagating in a substrate to an analog circuit, when the digital circuit and the analog circuit are formed mixed on the same substrate.

SOLUTION: This semiconductor device consists of a P-type silicon substrate 11 and an epitaxial layer 12, which is formed on the silicon substrate 11 and composed of N-type silicon. A well 13 for a noise barrier is formed in the silicon substrate 11. In the inside of the epitaxial layer 12, a well 15 for a digital circuit on which a digital circuit 14 is to be formed and a well 17 for an analog circuit on which an analog circuit 16 is to be formed, are formed on both upper sides of the well 13. The depths of the well 15 and the well 13 are set as values, which can restrain the propagation of noise generated in the digital circuit 14 to the analog circuit 16.



LEGAL STATUS

[Date of request for examination]

27.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-134702

(P2002-134702A)

(43) 公開日 平成14年5月10日 (2002.5.10)

(51) Int.Cl. ⁷	識別記号	F I	テーム* (参考)
H 0 1 L 27/08	3 3 1	H 0 1 L 27/08	3 3 1 D 5 F 0 3 2
21/761		21/76	J 5 F 0 3 8
27/04		27/04	A 5 F 0 4 8
21/822			H

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21) 出願番号 特願2000-329641 (P2000-329641)

(22) 出願日 平成12年10月27日 (2000.10.27)

(71) 出願人 594021175

旭化成マイクロシステム株式会社

東京都新宿区西新宿三丁目7番1号

(72) 発明者 小林 隆昭

宮崎県延岡市中川原町5丁目4960番地 旭

化成マイクロシステム株式会社内

(74) 代理人 100066980

弁理士 森 哲也 (外2名)

Fターム(参考) 5F032 AB01 AB05 BA01 BA08 BA10

BB06 CA03 DA12

5F038 BH01 BH10 BH19 CA03 DF12

EZ14 EZ20

5F048 AA04 BA07 BE03 BE04 BE07

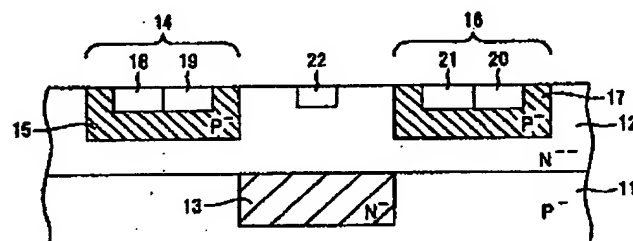
BE09

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 同一の基板上にデジタル回路とアナログ回路とを混在して形成させた場合に、デジタル回路からのノイズが基板内を伝搬してアナログ回路に到達するのを抑制するようにした半導体装置などの提供。

【解決手段】 P型のシリコン基板11と、このシリコン基板11上に形成させたN型のシリコンからなるエピタキシャル層12とからなる。シリコン基板11内にノイズ障壁用ウェル13が形成されている。エピタキシャル層12内には、エピタキシャル層12内であってノイズ障壁用ウェル13の上方の両側に、デジタル回路14を形成するデジタル回路用ウェル15と、アナログ回路16を形成するアナログ回路用ウェル17とがそれぞれ形成されている。デジタル回路用ウェル15とノイズ障壁用ウェル13の各深さは、デジタル回路14で発生するノイズがアナログ回路16に伝搬するのを抑制できる深さとしている。



【特許請求の範囲】

【請求項1】 シリコン基板と、このシリコン基板上に形成させたシリコンからなるエピタキシャル層とを備え、

前記シリコン基板内にノイズ障壁用ウェルを形成するとともに、

前記エピタキシャル層内であって前記ノイズ障壁用ウェルの上方の両側に、デジタル回路を形成するためのデジタル回路用ウェルと、アナログ回路を形成するためのアナログ回路用ウェルとをそれぞれ形成し、

前記デジタル回路用ウェルと前記ノイズ障壁用ウェルの各深さは、前記デジタル回路で発生するノイズが前記アナログ回路に伝搬するのを抑制できる深さとしたことを特徴とする半導体装置。

【請求項2】 前記ノイズ障壁用ウェルは、上面から見た場合に、前記デジタル回路用ウェルと前記アナログ回路用ウェルとの間に介在するようにしたことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記エピタキシャル層は高抵抗からなるとともに、前記シリコン基板は前記エピタキシャル層とは異なる型からなり、

かつ、前記デジタル回路用ウェルおよび前記アナログ回路用ウェルは前記エピタキシャル層とは異なる型からなるとともに、前記ノイズ障壁用ウェルは前記シリコン基板とは異なる型からなることを特徴とする請求項1または請求項2に記載の半導体装置。

【請求項4】 前記デジタル回路用ウェルと前記エピタキシャル層との間、前記アナログ回路用ウェルと前記エピタキシャル層との間、前記エピタキシャル層と前記シリコン基板との間、および前記ノイズ障壁用ウェルと前記シリコン基板との間に、それぞれ逆バイアス電圧を加えるようになっていたことを特徴とする請求項3に記載の半導体装置。

【請求項5】 シリコン基板に所定の深さのノイズ障壁ウェルを形成する第1工程と、

前記ノイズ障壁ウェルを形成したシリコン基板上にシリコンのエピタキシャル層を形成する第2工程と、

前記エピタキシャル層内であって前記ノイズ障壁用ウェルの上方の両側に、デジタル回路を形成するために所定の深さのデジタル回路用ウェルと、アナログ回路を形成するために所定の深さのアナログ回路用ウェルとをそれぞれ形成する第3工程と、

からなることを特徴とする半導体装置の製造方法。

【請求項6】 前記第1工程では、前記ノイズ障壁用ウェル形成用の第1のマスクで前記シリコン基板上にホトレジストパターンを形成し、この形成後に前記ノイズ障壁ウェルを前記シリコン基板内に形成するようにし、前記第3工程では、前記第1のマスクの白黒を反転したマスクであって、このマスクに基づいて前記デジタル回路用ウェルと前記アナログ回路用ウェルとを形成する第

2のマスクで前記エピタキシャル層上にホトレジストパターンを形成し、この形成後に前記デジタル回路用ウェルと前記アナログ回路用ウェルを前記エピタキシャル層内にそれぞれ形成するようにしたことを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記エピタキシャル層は高抵抗からなるとともに、前記シリコン基板は前記エピタキシャル層とは異なる型からなり、

かつ、前記デジタル回路用ウェルおよび前記アナログ回路用ウェルは前記エピタキシャル層とは異なる型からなるとともに、前記ノイズ障壁用ウェルは前記シリコン基板とは異なる型からなることを特徴とする請求項5または請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同一の半導体基板上にデジタル回路とアナログ回路とを混在して形成させた半導体装置、およびその半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、システムLSIは、微細化と高速化とが要求され、その流れの中でデジタル回路とアナログ回路とを同一のシリコン基板上に混載して形成することが行われている。しかし、この種のシステムLSIでは、デジタル回路で発生するクロックノイズが、アナログ回路に伝搬してアナログ回路に悪影響を与えるクロストークが大きな問題になりつつある。

【0003】このクロストークの種類には、メタル配線間の容量結合によるもの以外に、同一シリコン基板にデジタル回路とアナログ回路とを形成することによる基板内で伝搬するノイズのクロストークがある。基板内におけるノイズの伝搬を抑制する方法としては、図3に示すような方法が知られている。この方法は、図3に示すように、低抵抗のシリコン基板1上に、高抵抗のエピタキシャル層2を形成し、そのエピタキシャル層2内にウェル3、4をそれぞれ形成し、そのウェル3内にデジタル回路5を形成するとともに、そのウェル4内にアナログ回路6を形成し、デジタル回路5からのノイズがアナログ回路6に向けて横方向に伝搬されるのを抑制するようにするものである。

【0004】

【発明が解決しようとする課題】しかし、この方法では、図3に示すように、低抵抗のシリコン基板1に到達したデジタル回路5からのノイズ7は、そのシリコン基板1内を横方向に伝搬してアナログ回路6の下方面で伝搬したのち、エピタキシャル層2内を伝搬してアナログ回路6に到達し易いという不都合がある。

【0005】このような不都合を解消するため、基板内に深いウェルを設けるとともに、この深いウェル内に通常の浅いウェルを設けて2重構造にし、通常のウェル内

にデジタル回路を形成し、このデジタル回路からのノイズを深いウェル内に閉じ込める方法がある。しかし、この方法は、深いウェルから漏れたノイズは横方向にも縦方向にも伝搬し易く、ノイズの防止技術としては必ずしも完全ではない。

【0006】一方、SOI (Silicon On Insulator) により完全に下方向へのノイズを抑制する技術があるが、SOI 基板は通常のシリコン基板に比べてコストがほぼ1桁高いという欠点がある。また、SOI には、SOI 基板に固有の問題点（フローティングボディ）による、デザイン側からの難しさが残るという不都合がある。

【0007】そこで、本発明の目的は、上記の点に鑑み、同一の基板上にデジタル回路とアナログ回路とを混在して形成させた場合に、デジタル回路からのノイズが基板内を伝搬してアナログ回路に到達するのを抑制するようにした半導体装置、およびその半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決し、本発明の目的を達成するために、請求項1～請求項7に記載の各発明は以下のように構成した。すなわち、請求項1に記載の発明は、シリコン基板と、このシリコン基板上に形成させたシリコンからなるエピタキシャル層とを備え、前記シリコン基板内にノイズ障壁用ウェルを形成するとともに、前記エピタキシャル層内であって前記ノイズ障壁用ウェルの上方の両側に、デジタル回路を形成するためのデジタル回路用ウェルと、アナログ回路を形成するためのアナログ回路用ウェルとをそれぞれ形成し、前記デジタル回路用ウェルと前記ノイズ障壁用ウェルの各深さは、前記デジタル回路で発生するノイズが前記アナログ回路に伝搬するのを抑制できる深さとしたことを特徴とするものである。

【0009】請求項2に記載の発明は、請求項1に記載の半導体装置において、前記ノイズ障壁用ウェルは、上面から見た場合に、前記デジタル回路用ウェルと前記アナログ回路用ウェルとの間に介在するようにしたことを特徴とするものである。請求項3に記載の発明は、請求項1または請求項2に記載の半導体装置において、前記エピタキシャル層は高抵抗からなるとともに、前記シリコン基板は前記エピタキシャル層とは異なる型からなり、かつ、前記デジタル回路用ウェルおよび前記アナログ回路用ウェルは前記エピタキシャル層とは異なる型からなるとともに、前記ノイズ障壁用ウェルは前記シリコン基板とは異なる型からなることを特徴とするものである。

【0010】請求項4に記載の発明は、請求項3に記載の半導体装置において、前記デジタル回路用ウェルと前記エピタキシャル層との間、前記アナログ回路用ウェルと前記エピタキシャル層との間、前記エピタキシャル層

と前記シリコン基板との間、および前記ノイズ障壁用ウェルと前記シリコン基板との間に、それぞれ逆バイアス電圧を加えるようになっていたことを特徴とするものである。

【0011】このように本発明の半導体装置によれば、エピタキシャル層内にデジタル回路用ウェルとアナログ回路用ウェルとを形成し、デジタル回路用ウェルの深さを、デジタル回路で発生するノイズがアナログ回路に伝搬するのを抑制できる深さとなるようにした。このため、デジタル回路からのノイズがエピタキシャル層内を伝搬してアナログ回路に到達するのを抑制でき、特に、エピタキシャル層を高抵抗にした場合にはその抑制効果が大きくなる。

【0012】また、本発明の半導体装置によれば、シリコン基板内にノイズ障壁用ウェルを形成するようにしたので、デジタル回路からのノイズがシリコン基板に到達しても、ノイズ障壁用ウェルによりそのノイズがアナログ回路に到達するのを抑制できる。特に、ノイズ障壁用ウェルを、デジタル回路用ウェルとアナログ回路用ウェルとの中間の位置に形成した場合には、その抑制効果が大きくなる。

【0013】さらに、本発明の半導体装置によれば、デジタル回路用ウェルとエピタキシャル層などがそれぞれPN接合で形成され、この各PN接合に逆バイアス電圧を加えるようにした。このため、逆バイアス電圧の印加時に、その各PN接合部に空乏層を形成させ、空乏層の高抵抗によりその空乏層をノイズ伝搬の障壁とすることができる。

【0014】一方、請求項5に記載の発明は、シリコン基板に所定の深さのノイズ障壁ウェルを形成する第1工程と、前記ノイズ障壁ウェルを形成したシリコン基板上にシリコンのエピタキシャル層を形成する第2工程と、前記エピタキシャル層内であって前記ノイズ障壁用ウェルの上方の両側に、デジタル回路を形成するために所定の深さのデジタル回路用ウェルと、アナログ回路を形成するために所定の深さのアナログ回路用ウェルとをそれぞれ形成する第3工程と、からなることを特徴とするものである。

【0015】請求項6に記載の発明は、請求項5に記載の半導体装置の製造方法において、前記第1工程では、前記ノイズ障壁用ウェル形成用の第1のマスクで前記シリコン基板上にホトレジストパターンを形成し、この形成後に前記ノイズ障壁ウェルを前記シリコン基板内に形成するようにし、前記第3工程では、前記第1のマスクの白黒を反転したマスクであって、このマスクに基づいて前記デジタル回路用ウェルと前記アナログ回路用ウェルとを形成する第2のマスクで前記エピタキシャル層上にホトレジストパターンを形成し、この形成後に前記デジタル回路用ウェルと前記アナログ回路用ウェルを前記エピタキシャル層内にそれぞれ形成するようにしたこと

を特徴とするものである。

【0016】請求項7に記載の発明は、請求項5または請求項6に記載の半導体装置の製造方法において、前記エピタキシャル層は高抵抗からなるとともに、前記シリコン基板は前記エピタキシャル層とは異なる型からなり、かつ、前記デジタル回路用ウェルおよび前記アナログ回路用ウェルは前記エピタキシャル層とは異なる型からなるとともに、前記ノイズ障壁用ウェルは前記シリコン基板とは異なる型からなることを特徴とするものである。

【0017】このように本発明の半導体装置の製造方法によれば、デジタル回路からのノイズがエピタキシャル層内やシリコン基板内を伝搬してアナログ回路に到達するのを抑制できる半導体装置を実現できる。

【0018】

【発明の実施の形態】以下、本発明の半導体装置の実施形態の構成について、図1を参照して説明する。この実施形態にかかる半導体装置は、図1に示すように、P型のシリコン基板11と、このシリコン基板11上に形成させたN型のシリコンからなるエピタキシャル層12とを備え、このエピタキシャル層12内にデジタル回路14とアナログ回路16とを形成するようにしたものである。ここで、エピタキシャル層12は、高抵抗にするのが好ましい。

【0019】さら具体的に説明すると、シリコン基板11の所定位置には、所定の深さのノイズ障壁用ウェル13が形成され、このウェル13はN型ウェルからなる。また、エピタキシャル層12には、そのエピタキシャル層12内であってノイズ障壁用ウェル13の上方の左右の両側に、デジタル回路14を形成するためのデジタル回路用ウェル15と、アナログ回路16を形成するためのアナログ回路用ウェル17とがそれぞれ形成されている。

【0020】デジタル回路用ウェル15はP型ウェルからなり、アナログ回路用ウェル17はN型ウェルからなる。デジタル回路用ウェル15の深さは、デジタル回路14で発生するノイズがアナログ回路16に伝搬するのを抑制できる深さとなっている。アナログ回路用ウェル17の深さは、デジタル回路用ウェル15の深さと同じでもよいが、それよりも浅くても良い。ノイズ障壁用ウェル13の深さは、デジタル回路14で発生するノイズがシリコン基板11に漏れた場合に、そのノイズがシリコン基板11内でその横方向への伝搬が抑制される深さとするのが好ましい。

【0021】デジタル回路用ウェル15およびアナログ回路用ウェル17と、ノイズ障壁用ウェル13との配置関係は、図1に示すように、上面から見た場合に、ノイズ障壁用ウェル13が、デジタル回路用ウェル15とアナログ回路用ウェル17との間の中間の位置にくるのが好ましい。デジタル回路用ウェル15内には、図1に示

すように、P型ウェル18とN型ウェル19とが形成され、この両ウェル18、19を利用してデジタル回路14のためのトランジスタ（図示せず）が形成されている。また、アナログ回路用ウェル17内には、図1に示すように、P型ウェル20とN型ウェル21とが形成され、この両ウェル20、21を利用してアナログ回路16のためのトランジスタ（図示せず）が形成されている。

【0022】エピタキシャル層12内であって、デジタル回路用ウェル15とアナログ回路用ウェル17との間に、N型ウェル22が形成されている。このN型ウェル22は、直流電源（ $V_{DD}=5V$ ）に接続するものであり、エピタキシャル層12内の交流電流（ノイズ）がそのN型ウェル22に入ったときに、その交流ノイズを直流電源を通して外部に出す働きをする。

【0023】また、実施形態にかかる半導体装置では、P型のデジタル回路用ウェル15とN型のエピタキシャル層12でPN接合、P型のアナログ回路用ウェル17とN型のエピタキシャル層12でPN接合、N型のエピタキシャル層12とP型のシリコン基板11でPN接合、およびN型のノイズ障壁用ウェルとP型のシリコン基板とでPN接合をそれぞれ形成しており、しかも、その各PN接合に逆バイアス電圧を印加して使用できるようになっている。

【0024】以上説明したように、この実施形態にかかる半導体装置によれば、エピタキシャル層12内にデジタル回路用ウェル15とアナログ回路用ウェル17とをそれぞれ形成し、デジタル回路用ウェル15の深さを、デジタル回路14で発生するノイズがアナログ回路16に伝搬するのを抑制できる深さとなるようにした。このため、デジタル回路14からのノイズがエピタキシャル層12内を伝搬してアナログ回路16に到達するのを抑制でき、特に、エピタキシャル層12を高抵抗にしているので、その抑制効果が大きい。

【0025】また、この実施形態にかかる半導体装置によれば、シリコン基板11内にノイズ障壁用ウェル13を形成するようにしたので、デジタル回路15からのノイズがシリコン基板11に到達しても、ノイズ障壁用ウェル13によりそのノイズがアナログ回路16に到達するのを抑制できる。この例では、ノイズ障壁用ウェル13を、デジタル回路用ウェル15とアナログ回路用ウェル17との中間の位置に形成しているので、その抑制効果が大きい。

【0026】さらに、この実施形態にかかる半導体装置によれば、P型のデジタル回路用ウェル15とN型のエピタキシャル層12などがそれぞれPN接合となるようにし、その各PN接合に逆バイアス電圧を印加して使用できるようにした。このため、逆バイアス電圧の印加時に、その各PN接合面に空乏層を形成させ、空乏層の高抵抗により空乏層をノイズ伝搬の障壁とすることが

できる。

【0027】次に、本発明の半導体装置の製造法の実施形態について、図2を参照して説明する。まず、ノイズ障壁用ウェル13用のマスクを使用し、図2(A)に示すP型のシリコン基板11上に、ホトレジトパターン(図示せず)を形成後、そのシリコン基板11内にリン(P)のイオンの打込みを行う。このイオンの打込みは、イオンに100keV程度の加速エネルギーを与えることにより行い、そのイオンの打込み量は 10^{13} 個/cm²程度とする。

【0028】そのイオンの打込みが終了すると、その打ち込まれたリンを熱拡散するために、1200℃程度の熱を10時間程度にわたってシリコン基板11に加える。このとき、シリコン基板11の表面に酸化膜が形成されるのを阻止するために、シリコンと反応しない不活性ガス(例えば窒素など)を使用する。その熱拡散が終了すると、図2(A)に示すように、P型のシリコン基板11内にN型ウェルからなるノイズ障壁用ウェル13が形成される。このノイズ障壁用ウェル13は、例えばその長さ(または幅)が最小で20μm程度からなり、その深さが10μm程度からなる。

【0029】次に、P型のシリコン基板11上に、図2(B)に示すように、N型であって高抵抗のエピタキシャル層12を形成する。このN型のエピタキシャル層12は、例えばその厚さが30μmで、その抵抗率が1000[Ωcm]程度である。次いで、ノイズ障壁用ウェル13用のマスクの白黒を反転し、デジタル回路ウェル15およびアナログ回路ウェル17の形成用のマスクを使用し、図2(C)に示すエピタキシャル層12上に、ホトレジトパターン(図示せず)を形成する。そして、そのホトレジトパターンを使用し、そのエピタキシャル層12内に不純物としてボロン(B)のイオンの打込みを行う。このイオンの打込みは、イオンに100keV程度の加速エネルギーを与えることにより行い、そのイオンの打込み量は 10^{12} 個/cm²程度とする。

【0030】そのイオンの打込みが終了すると、その打ち込まれたボロンを熱拡散するために、1200℃程度の熱を10時間程度にわたってエピタキシャル層12に加える。このとき、エピタキシャル層12の表面に酸化膜が形成されるのを阻止するために、不活性ガス(例えば窒素など)を使用する。その熱拡散が終了すると、図2(C)に示すように、エピタキシャル層12内に、P型ウェルからなるデジタル回路用ウェル15およびアナログ回路用ウェル17がそれぞれ形成される。このデジタル回路用ウェル15およびアナログ回路用ウェル17は、その深さが例えば12μm程度からなる。

【0031】その後、図2(D)に示すように、デジタル回路用ウェル15内にP型ウェル18とN型ウェル19とを形成するとともに、アナログ回路用ウェル17内にP型ウェル20とN型ウェル21とを形成し、かつ、

エピタキシャル層12内であって、デジタル回路用ウェル15とアナログ回路用ウェル17との間に、N型ウェル22を形成する。

【0032】次に、上記の両ウェル18、19を利用してデジタル回路14のためのトランジスタ(図示せず)を形成するとともに、上記の両ウェル20、21を利用してアナログ回路16のためのトランジスタ(図示せず)を形成する。これにより所望の半導体装置が完成する。以上説明したように、本発明の半導体装置の製造方法の実施形態によれば、デジタル回路14からのノイズがエピタキシャル層12内やシリコン基板11内を伝搬してアナログ回路16に到達するのを抑制できる半導体装置を実現できる。

【0033】

【発明の効果】以上述べたように、本発明の半導体装置によれば、エピタキシャル層内にデジタル回路用ウェルとアナログ回路用ウェルとを形成し、デジタル回路用ウェルの深さを、デジタル回路で発生するノイズがアナログ回路に伝搬するのを抑制できる深さとなるようにした。このため、デジタル回路からのノイズがエピタキシャル層内を伝搬してアナログ回路に到達するのを抑制でき、特に、エピタキシャル層を高抵抗にした場合にはその抑制効果が大きくなる。

【0034】また、本発明の半導体装置によれば、シリコン基板内にノイズ障壁用ウェルを形成するようにしたので、デジタル回路からのノイズがシリコン基板に到達しても、ノイズ障壁用ウェルによりそのノイズがアナログ回路に到達するのを抑制できる。特に、ノイズ障壁用ウェルを、デジタル回路用ウェルとアナログ回路用ウェルとの中間の位置に形成した場合には、その抑制効果が大きくなる。

【0035】さらに、本発明の半導体装置によれば、デジタル回路用ウェルとエピタキシャル層などがそれぞれPN接合で形成され、この各PN接合に逆バイアス電圧を加えるようにした。このため、逆バイアス電圧の印加時に、その各PN接合部に空乏層を形成させ、空乏層の高抵抗によりその空乏層をノイズ伝搬の障壁とすることができる。

【0036】一方、本発明の半導体装置の製造方法によれば、デジタル回路からのノイズがエピタキシャル層内やシリコン基板内を伝搬してアナログ回路に到達するのを抑制できる半導体装置を実現できる。

【図面の簡単な説明】

【図1】本発明の半導体装置の実施形態の構成を示す断面図である。

【図2】本発明の半導体装置の製造方法の実施形態における各工程を説明する工程図である。

【図3】従来の半導体装置の構成を示す断面図である。

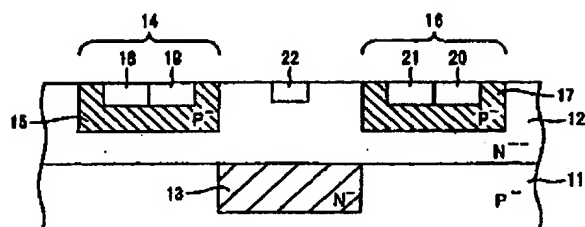
【符号の説明】

11 P型の半導体基板

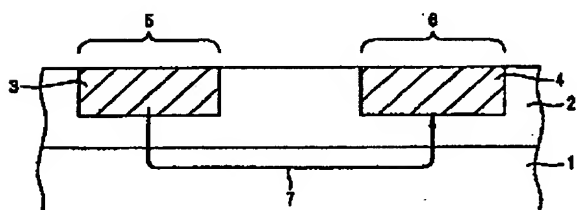
- 12 N型のエピタキシャル層
- 13 ノイズ障壁用ウェル
- 14 デジタル回路

- 15 デジタル回路用ウェル
- 16 アナログ回路
- 17 アナログ回路用ウェル

【図1】



【図3】



【図2】

